

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**THIS PAGE BLANK (USPTO)**

**HYBRID INTEGRATED CIRCUIT DEVICE**

Patent Number: JP8306858  
Publication date: 1996-11-22  
Inventor(s): TOYOOKA SHINICHI  
Applicant(s):: SANYO ELECTRIC CO LTD  
Requested Patent: ☐ JP8306858  
Application Number: JP19950104421 19950427  
Priority Number(s):  
IPC Classification: H01L25/04 ; H01L25/18  
EC Classification:  
Equivalents: JP3172393B2

**Abstract**

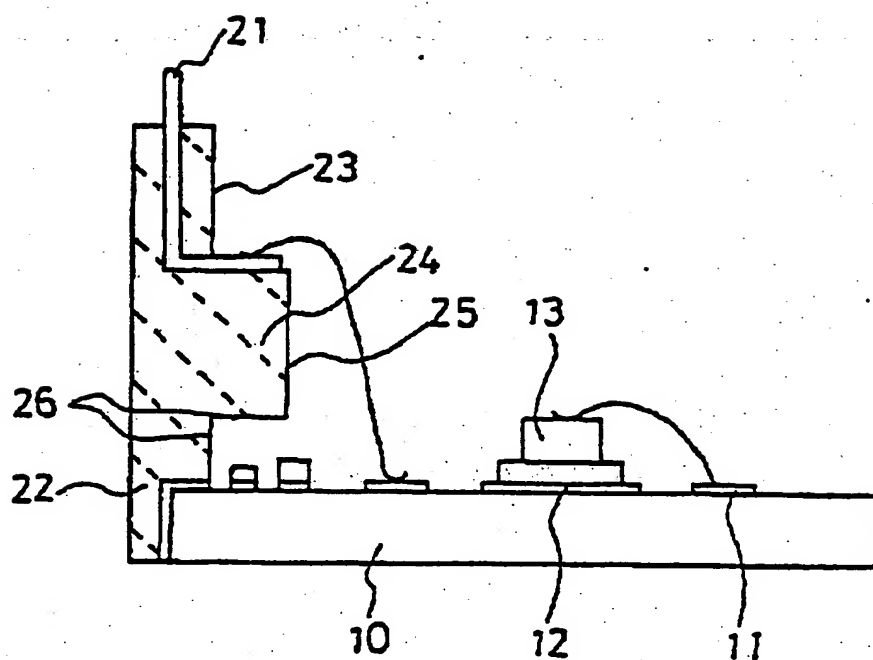
**PURPOSE:** To realize reduction in dead space and improvement in mounting efficiency of a substrate, by providing an outer lead support member which has a protrusion having a recess facing the periphery of the substrate.

**CONSTITUTION:** An outer lead 21 is integrally molded by a support member 22, and a recess 26 is provided on the lower side of a right end surface 25 of a protrusion 24 of the exposed outer lead 21. Therefore, an element may be mounted in a space formed by the recess 26 and the surface of a substrate 10, so that improvement in element mounting efficiency of the substrate and reduction in the size of the substrate and the entire device can be realized. Also, by integrally supporting the outer lead 21, the strength of the outer lead can be improved. Even though a support pole is not provided on the support member, and even though the protruding portion is made longer, the support member is not inclined and perfect wire bonding can be performed. Thus, failure in adhesion and bonding between the support member and the substrate can be prevented, so as to improve yield.

Data supplied from the esp@cenet database - I2

**THIS PAGE BLANK (USPTO)**

FIG. 1



- 10: Substrate
- 11: Wiring pattern
- 12: Land
- 13: Semiconductor chip
- 21: Outer lead
- 22: Support member
- 23: Face
- 24: Protrusion
- 25: Lower side of a right end surface
- 26: Recess

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-306858

(43) 公開日 平成8年(1996)11月22日

(51) Int.Cl.<sup>9</sup>H 0 1 L 25/04  
25/18

識別記号

庁内整理番号

F I

H 0 1 L 25/04

技術表示箇所

Z

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平7-104421

(22) 出願日 平成7年(1995)4月27日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 豊岡 伸一

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

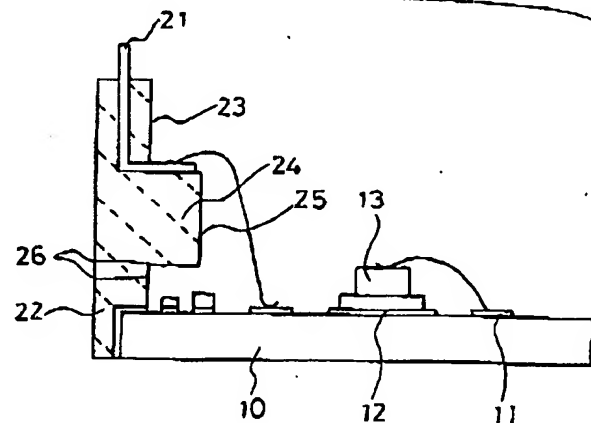
(74) 代理人 弁理士 岡田 敬

(54) 【発明の名称】 混成集積回路装置

(57) 【要約】

【目的】 外部リードのサイズが色々であり、そのためにハイブリッド基板は、リードの固着されるパッドをユーザの仕様に合わせて設計していた。しかしこれでは多種多様の基板を用意する必要があり、合理的でなく、そのため、外部リードを支持部材で一体モールドし、露出した外部リードとパッド間をワイヤーで接続し、共通化を図っていたが、基板のサイズが大きくなると共に、実装効率が悪化する問題があった。

【構成】 外部リード21は、支持部材22で一体モールドされ、露出された外部リードのボンディング領域の下層にあたる部分26を凹ませ、そこに配線パターン11を設け、実装効率の向上を図った。またパッド19は、ボンディング領域から一定の距離の位置に設けず、配線パターンの制約から、空いた位置に設け、パッド19を一定位置に設けることによる制約により発生する配線パターンの実装効率の低下を抑制した。



IDS

**THIS PAGE BLANK (USPTO)**



# 公開特許・実用 (抄録 A)

特開平 8-306858

【名称】 混成集積回路装置

審査／評価者請求 未 請求項／発明の数 4 (公報 6頁、抄録 4頁)

公開日 平成 8年(1996)11月22日

出願／権利者 三洋電機株式会社 (大阪府守口市京阪本通 2 丁目 5 番 5 号)  
 発明／考案者 豊岡 伸一  
 出願番号 特願平 7-104421 平成 7 年(1995) 4 月 27 日  
 代理人 岡田 敬

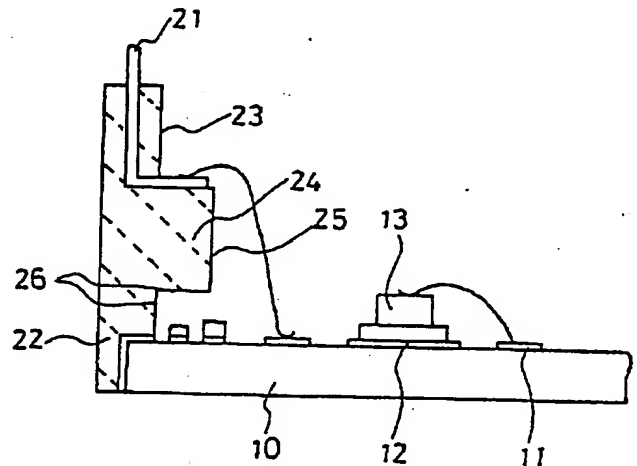
Int. Cl. 6 識別記号  
 H01L 25/04  
 25/18  
 FI  
 H01L 25/04  
 H01L 25/04 2

【産業上の利用分野】 本発明は、混成集積回路装置に関し、特に多種多様のコネクタに対応するため、外部リードと基板上の配線を金属ワイヤーで接続した混成集積回路装置に関するものである。

## (57) 【要約】

【目的】 外部リードのサイズが色々であり、そのためにハイブリッド基板は、リードの固着されるパッドをユーザの仕様に合わせて設計していた。しかしこれでは多種多様の基板を用意する必要があり、合理的でなく、そのため、外部リードを支持部材で一体モールドし、露出した外部リードとパッド間をワイヤーで接続し、共通化を図っていたが、基板のサイズが大きくなると共に、実装効率が悪化する問題があった。

【構成】 外部リード 21 は、支持部材 22 で一体モールドされ、露出された外部リードのボンディング領域の下層にあたる部分 26 を凹ませ、そこに配線パターン 11 を設け、実装効率の向上を図った。またパッド 19 は、ボンディング領域から一定の距離の位置に設けず、配線パターンの制約から、空いた位置に設け、パッド 19 を一定位置に設けることによる制約により発生する配線パターンの実装効率の低下を抑制した。



前記配線パターンや前記半導体素子で構成される回路の入出力信号が印加される外部リードと、

この外部リードを一体で支持し、ボンディング領域が前記基板の上方で内側に向かって延在され、この延在部分の下層に対応する前記基板に素子が実装できるように、基板の周辺に向かい凹みが設けられたトの字の形状の外部リード支持部材と、

前記基板に設けられ、前記延在部分の下層に設けられた素子により、外部リードのボンディング領域か任意の距離に設けられた導電パッドと、

前記導電パッドと前記外部リードのボンディング領域を接続する接続手段と、

少なくとも前記基板表面およびボンディング部を保護する封止手段とを有することを特徴とした混成集積回路装置。

【請求項 3】 前記基板支持部材の凹みには、支柱が設けられる請求項 1 または 2 記載の混成集積回路装置。

【請求項 4】 少なくとも表面が絶縁性を有する基板と、

この基板に設けられた配線パターンと、

この配線パターンと一体でまたは別体で成るランドと電気的に接続された半導体素子と、

前記配線パターンや前記半導体素子で構成される回

## 【特許請求の範囲】

【請求項 1】 少なくとも表面が絶縁性を有する基板と、

この基板に設けられた配線パターンと、

この配線パターンと一体でまたは別体で成るランドと電気的に接続された半導体素子と、

前記配線パターンや前記半導体素子で構成される回路の入出力信号が印加される外部リードと、

この外部リードのボンディング領域が前記基板の内側に向かって延在され、この延在部分の下層に対応する前記基板に素子が実装できるように、基板の周辺に向かい凹みが設けられた外部リード支持部材と、

前記基板に設けられた導電パッドと前記外部リードのボンディング領域を接続する接続手段と、

少なくとも前記基板表面およびボンディング部を保護する封止手段とを有することを特徴とした混成集積回路装置。

【請求項 2】 少なくとも表面が絶縁性を有する基板と、

この基板に設けられた配線パターンと、

この配線パターンと一体でまたは別体で成るランドと電気的に接続された半導体素子と、

路の入出力信号が印加される外部リードと、

この外部リードのボンディング領域が前記基板の内側に向かって延在され、この延在部分の下層に対応する前記基板に素子が実装できるように、前記延在領域よりも前記基板との接着部分の長さが短く設けられた外部リード支持部材と、

前記基板に設けられた導電パッドと前記外部リードのボンディング領域を接続する接続手段と、

少なくとも前記基板表面およびボンディング部を保護する封止手段とを有することを特徴とした混成集積回路装置。

【実施例】以下に本発明の実施例を図1と図2を参照しながら説明する。まず、絶縁処理した第1の基板10は、表面に配線パターン11が形成され、この配線パターンの一部には、図2のように、ランド12が設けられている。このランドには、半導体チップ13が半田付けされ、配線となる導電路11には、抵抗等が印刷により、また部品であっては半田で固着されている。

ここで第1の基板10は、セラミック基板、絶縁樹脂基板例えばプリント基板または表面を絶縁処理した金属基板でもよい。ここではAl基板の表面を陽極酸化し酸化アルミニウムが生成された金属基板10を採用し、配線パターン11は銅箔より成り、ポリイミド等の樹脂層を介してホットプレスにより被着されている。

当然半導体チップ13は、ダイオード、トランジスタチップおよびLSIチップであり、その他に抵抗14、トランスやコンデンサ等の部品も必要により実装される。また配線パターン11は、配線15、配線と一体の電極（例えばチップ抵抗が接続される部分16やボンディングパッド17）、配線と一体のランド18、配線と一体ではあるが外部リードとの接続に使うパッド19（図面では斜線でハッチングしてある）、およびランド13等より構成される。

またチップと導電路11は、必要によっては金属細線がワイヤーボンドされ所定の回路が達成されている。またこの第1の基板10の少なくとも一側辺近傍には、前記回路から延在された外部リード21との接続のためにパッド19（斜め線でハッチングした領域）が複数個設けられている。この配列の仕方は本発明の特徴ではあるが説明の都合上後述する。

この外部リード21は、外部リード支持部材22により、固着され、前記パッド19との接続のために少なくとも接続領域が露出されている。ここでは図1から明らかなように外部リードは、支持部材22で一体成型されており、ボンディング領域のみが露出されている。一体成型されているために、外部リード21に外力が加わっても、外部リードは強固に固定されており、ワイヤのボンディング部分が剥離することはない。また一体成型でなくても良く、支持部材22の段部（面23と凸部24の上面）に外部リードが接着固定されても良い。

ここでのポイントは、図3でも説明したように、ボンディング領域がたんに露出されていれば良い。本発明の特徴は、凸部24の右端面25の下方で凹み26が設けられていることにある。外部リード21と基板10との接続のためのボンディング領域は、発明が解決しようとする課題の欄にも説明したように、少なくとも4ミリ程度の長さが必要で、これに伴い支持部材22の突出長さも長くなる。しかし凹み26を設けているので、この凹み26と基板10表面で構成する空間には、素子（配線、印刷抵抗等も可能）が実装できるので、基板の素子実

装効率を向上でき、図3の構造と比べ基板サイズ、装置全体のサイズを小さくすることができる。

図2において、矢印Dが指した所より下方に向かう領域は、従来型、つまり図4で示した一点鎖線の部分である。また矢印Eで示した一点鎖線は、支持部材22と基板10との接合部右側を示すものである。つまり矢印DとEの間には、前述した色々な種類の配線パターンが設けられており、凹みの高さにも依るが、チップ抵抗、半導体チップ等の高さのある素子も実装できる。

また第2の特徴として、斜線で示したパッド19の配置を以下に説明する。図4で説明したパッド12の位置は、ボンディングを行うために、外部リード4のボンディング部から一定距離離れたところに配置される。従って一直線上に配置されることになる。この構造を図1または図2に適用すると、矢印DとEの間には、この一直線上に配置したパッドが邪魔になり、色々なタイプの配線パターンの配置がしにくくなり、かえって実行効率を悪化させる問題がある。

従って本願は、矢印DとEとの間に設けられた配線パターンにより、又は矢印Dより右側の配線パターンの都合により、パッドの位置を一定距離にしないことにある。つまりDの領域を境にして、左右に設けられる配線パターンの都合で、空きスペースを探し、その領域にパッド19を設けることで、図4のような場合の実装効率の悪化を防止できる。またボンディング機械は、最近では、コンピューター制御であるので、外部リードのボンディングエリアとパッドとの距離は任意に選択できるので何の問題もない。また直接、トランジスタ等の半導体素子へ直接ボンディングすることも可能である。

ここで外部リードの仕様により、凸部の上面を長くする必要がある場合、ボンディングの加圧力により支持部材と基板との接着面が剥がれたり、ボンディング時に超音波出力がうまく接合面に伝わらない恐れがある。この場合、支持部材の凸部24の下面と基板との間に支柱を設けることで、この問題は解決できる。この支柱は、支持部材と一体で成型されていても良いし、基板と一体でも良い。また別体で形成されていても良い。各外部リードの幅にも依るが、少なくとも一本有れば良い。

一方、図7に第2の実施例を説明する。この実施例は、前実施例の凸部24の上のコーナーから基板との接着面の右の側辺までを結び、左斜め下に傾斜した面を有することにある。形状は異なるが凹みを有するため、やはりここに形成される空間に配線パターンが設けられるため、実装効率を向上させることができる。両実施例は、最後に支持部材22と基板周辺を囲む枠材またはケース材（ここでは図示せず）で基板表面を樹脂で封止する封止空間を形成する。図7は、斜め左下に傾斜しているため、左端は、高さのある素子を実装することは難しいが、樹脂を注入したときに樹脂に取り込まれる気泡を表面に取り出すことが可能である。

例えば上方からシリコンゲルが注入され、続いてエポキシ等の樹脂が注入され完成されている。シリコンゲルは、半導体チップ等に接続されている金属細線等への歪みを防止したり、耐湿性を向上するものであり、必ず注入しなければならないものではない。

【図面の簡単な説明】

【図1】本発明の第一の実施例を説明する図である

【図2】図1に対応する平面図である。

【図3】従来の混成集積回路装置の断面図である。

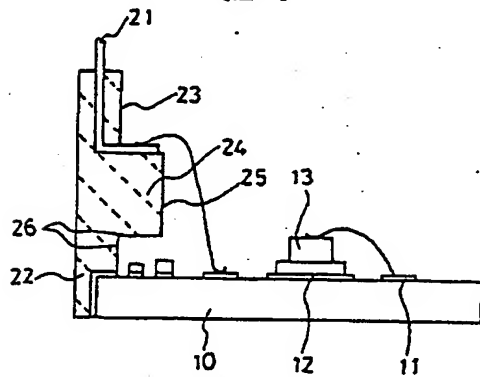
【図4】 図3に対応する平面図である。  
 【図5】 従来の混成集積回路装置の組立図である。  
 【図6】 外部リードを一体成型した従来の支持部材の図である。  
 【図7】 本発明の第二の実施例を説明する図である

17      ボンディングパッド  
 18      ランド  
 19      パッド  
 21      外部リード  
 22      外部リード支持部材  
 26      凹み

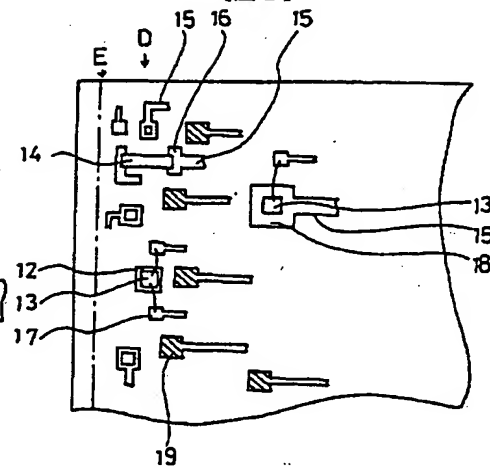
## 【符号の説明】

10      第1の基板  
 11      配線パターン  
 12      ランド  
 13      半導体チップ  
 14      抵抗  
 15      配線

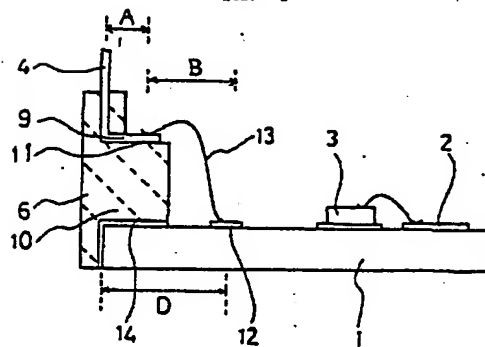
【図1】



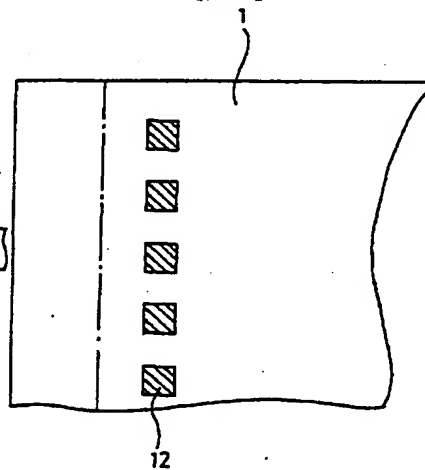
【図2】



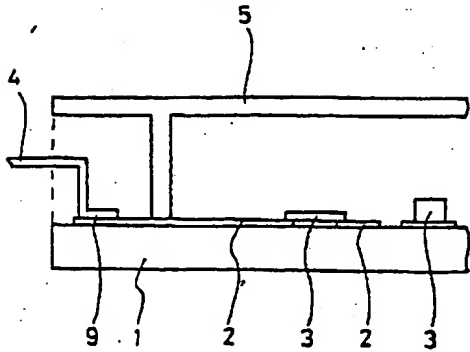
【図3】



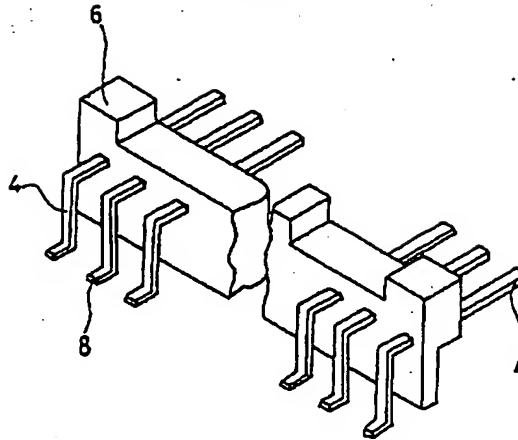
【図4】



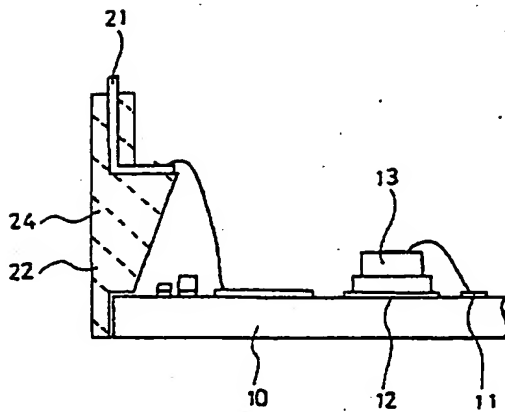
【図5】



【図6】



【図7】



【書誌的事項の続き】

【F I】 H01L 25/04  
H01L 25/04 Z

【識別番号または出願人コード】 000001889

【出願／権利者名】 三洋電機株式会社  
大阪府守口市京阪本通2丁目5番5号

【発明／考案者名】 豊岡 伸一  
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

【代理人】 岡田 敬

【出願形態】 0L

注) 本抄録の書誌的事項は初期登録時のデータで作成されています。